Universidad de Navarra

Métodos de Diseño Electrónico (Ing.Gr.)
Guía docente 2026-27

PRESENTACIÓN

Breve descripción:

Esta asignatura, fundamentalmente práctica, proporciona al estudiante las herramientas necesarias para el diseño y simulación de sistemas electrónicos. Se aborda el diseño de los dos tipos de sistemas electrónicos principales, analógicos y digitales, con algunas de las herramientas profesionales más utilizadas por la industria: *Cadence para el diseño analógico* y *Siemens* (*Questa*), *Synopsys* y *Xilinx/AMD* (*Vivado*) para el diseño digital. Los circuitos electrónicos analógicos se diseñan y simulan a nivel de transistor y componentes fundamentales (resistencias, condensadores, bobinas, etc.). En cuanto a los circuitos digitales, se implementan a partir de una descripción de más alto nivel (RTL, *Register-Transfer Level),* que permite sintetizar el circuito digital en base a sus puertas lógicas.

Se ponen en práctica conceptos adquiridos en asignaturas relacionadas con la electrónica básica, circuitos y sistemas digitales. Por sus aplicaciones directas en el campo de las ingenirías electrónica y de telecomunicaciones, es una asignatura común a los grados de *Ingeniería en Electrónica Industrial* e *Ingeniería en SIstemas de Telecomunicación.*

Titulación (Módulo/Materia):

- Ingeniería en Electrónica Industrial (Bloque Especializado de Electrónica Industrial /Tecnología Electrónica)
    - Ingeniería en Sistemas de telecomunicación (Bloque Especializado de Sistemas de Telecomunicación/ Sistemas de Comunicación)

Detalles:

- **ECTS**: 6 ECTS
- **Curso, semestre**:
    - Ingeniería en Sistemas de telecomunicación: 3.º curso, 1.º semestre
    - Ingeniería en Electrónica Industrial: 4.º curso, 1.º semestre
- **Carácter**: Obligatorio
- **Idioma**: Castellano
- **Aula**: Aula Miramón 2 / Lab. Diseño Electrónico Miramón
- **Horario:** Viernes 9:00-13:25

Profesores de la asignatura:

- Berenguer Pérez, Roc/ Profesor catedrático
- Alonso Domingo, Aritz / Invitado

COMPETENCIAS

INGENIERÍA EN ELECTRÓNICA INDUSTRIAL

CE20 - Conocimiento de los fundamentos y aplicaciones de la electrónica analógica.

CE21 - Conocimiento de los fundamentos y aplicaciones de la electrónica digital y microprocesadores.

CE24 - Capacidad para diseñar sistemas electrónicos analógicos, digitales y de potencia.

Universidad de Navarra

INGENIERÍA EN SISTEMAS DE TELECOMUNICACIÓN

R25 - Capacidad de trabajar en un grupo multidisciplinar y en un entorno multilingüe y de comunicar, tanto por escrito como de forma oral, conocimientos, procedimientos, resultados e ideas relacionadas con las telecomunicaciones y la electrónica.

R18 - Capacidad para la selección de circuitos, subsistemas y sistemas de radiofrecuencia, microondas, radiodifusión, radioenlaces y radiodeterminación.

PROGRAMA

1. Introducción cadenas de comunicación RF y SW de CAD electrónico.

- Introducción
- Cadenas de comunicación RF
- Conceptos básicos del diseño de circuitos analógicos
- Software de diseño de circuitos analógicos (Cadence)

2. Caracterización de la tecnología

- Curvas de comportamiento estático de los transistores CMOS
- Curvas de comportamiento dinámico de los transistores CMOS
- Alcance frecuencial de los transistores

3. Caracterización de circuitos amplificadores

- Configuraciones básicas para los transistores
- Polarización
- Distorsión
- Diseño multi-etapa
- Caracterización a nivel de esquemático

4. Diseño de circuitos amplificadores

- Reducción de consumo
- Aumento de ganancia
- Ancho de banda

5. Fundamentos del lenguaje VHDL

- Unidades de diseño: entidad y arquitectura
- Uso de librerías y paquetes (cláusulas *library* y *use*)
- La librería IEEE
- Tipos de datos y operadores (*std_logic_1164*, *numeric_std*)
- Descripción de lógica combinacional (estilo sintetizable)
- Instanciación de componentes

6. Simulación y verificación funcional

- Bancos de pruebas (testbenches)
- Aserciones: *assert* y *report*
- Simulación con *Questa* (*Siemens*)
- Funcionamiento del simulador

7. Diseño secuencial

- Procesos y elementos de memoria (inferencia de hardware)
- Máquinas de estados finitos (*FSM*)
- Temporización: *setup* y *hold*

Universidad de Navarra

8. Diseño parametrizable y reutilización

- Genéricos
- Arrays y tipos compuestos
- Bucles *for* y *generate*
- Subprogramas (funciones) y creación de librerías y paquetes propios.
- *math_real* (cálculo en elaboración)

9. Implementación de circuitos digitales

- Síntesis lógica: del RTL a la puerta lógica.
- Síntesis para ASIC con *Synopsys*
- Implementación sobre FPGA con Vivado
- Análisis de resultados: *reports* de tiempo y recursos

CONTENTS OF THE COURSE

1. Introduction to RF communication chains and Electronic CAD tools.

- Introduction
- RF communication chains
- Basic concepts in the design of analog circuits
- Analog circuit design software (Cadence)

2. Technology characterization

- Static behaviour of CMOS transistors
- Dynamic behaviour of CMOS transistors
- Frequency range of transistors

3. Characterization of amplifier circuits

- Basic transistor configurations
- Biasing
- Distortion
- Multi-stage design
- Characterization at schematic level

4. Design of amplifier circuits

- Optimizing power consumption of circuit
- Increasing gain of circuit
- Bandwidth

5. Fundamentals of the VHDL language

- Design units: entity and architecture
- Using libraries and packages (library and use clauses)
- The *IEEE* library
- Data types and operators (*std_logic_1164*, *numeric_std*)
- Combinational logic and description (synthesizable style)
- Component instantiation

6.Simulation and functional verification

- Testbenches
- Assertions: assert and report
- Simulation with Questa (Siemens)

- Simulator operation

7. Sequential design

- Processes and memory elements (hardware inference)
- Finite state machines (FSM)
- Timing: setup and hold

8. Parameterizable design and reuse

- Generics
- Arrays and composite types
- *for* and *generate* loops
- Subprograms (*functions*) and creation of custom packages and libraries.
- *math_real* (elabortion-time computation)

9. Implementation of digital circuits

- Logic synthesis: from RTL to the logic gate
- ASIC synthesis with Synopsys
- FPGA implementation with Vivado
- Results analysis: timing and resource reports

ACTIVIDADES FORMATIVAS

La **dedicación de 150-180 horas** (6 ECTS) a la asignatura de Métodos de Diseño Electrónico se divide en las siguientes actividades formativas:

- Clases presenciales teóricas: 15 horas
- Clases presenciales prácticas, laboratorios o talleres: 45 horas
- Tutorías: 10 horas
- Estudio personal y trabajo en grupo: 100 horas
- Realización de pruebas evaluadas: 8 horas

METODOLOGÍAS DOCENTES

Sesiones de teoría: El alumno debe asistir a las clases teóricas ya que son la base para poder realizar las prácticas de la asignatura. Algunas clases teóricas podrían impartirse de forma no presencial (online). En ese caso, el alumno deberá ver los contenidos antes de asistir a cada clase presencial.

Prácticas resueltas en clase: Se plantearán y resolverán diseños en clase para ilustrar la forma de abordar el diseño de un sistema electrónico. Serán diseños donde se aplica la teoría dada en la asignatura.

Prácticas propuestas para el alumno: Se propondrán diseños para que resuelva el alumno por su cuenta en el laboratorio de diseño electrónico. Los enunciados de las prácticas estarán en la página web de la asignatura. Las prácticas se trabajarán durante la clase y fuera del horario de clase (entre 2 y 4 horas semanales en función de la práctica). La práctica "Challenge" contará con una breve defensa en inglés.

Se realizarán las siguientes prácticas en el laboratorio de diseño electrónico:

- Práctica 0: Tutorial de Cadence
- Práctica 1: Diseño de etapa de amplificación en configuración de fuente común
- Práctica 2: Diseño de etapa de amplificación en configuración de drenador común
- Práctica 3: Diseño de un Amplificador de Bajo Ruido
- Práctica Challenge
- Práctica 4: Diseño de una ALU combinacional. Simulación con Questa.
- Práctica 5: Diseño de un SPI maestro. Síntesis ASIC con Synopsys.
- Práctica 6: Diseño de una memoria FIFO. Implementación FPGA con VIvado.

- Práctica 7: Diseño de un convertidor binario-BCD
- Práctica 8 (Reto): Comunicación entre dos FPGAs por SPI

TEACHING METHODOLOGIES

Theory sessions: Students must attend the theoretical classes, since they form the basis for the labs. Some theoretical classes can be made available online. In this case, the students must see the contents before attending the class.

Labs solved in class: Some designs will be solved in class to illustrate how to approach the design of an electronic system. The taught theory will be applied in this designs.

Proposed labs for the students: Designs will be given to the students, so that they solve them on their own in the electronic design laboratory. The design objectives will be available on the course website. These labs will be carried out both during and outside class hours (between 2 and 4 hours per week, depending on the lab). The "Challenge" lab will include a brief presentation in English.

The following practical labs will be carried out:

- LAB0: Cadence tutorial
- LAB1: Design of amplifier stages with common source configuration
- LAB2: Design of amplifier stages with common drain configuration
- LAB3: Design of low-noise-amplifier (LNA)
- Challenge LAB
- LAB4: Design of a combinational ALU. Simulation with Questa
- LAB5: Design of an SPI master. ASIC synthesis with Synopsys
- LAB6: Design of a FIFO memory. FPGA implementation with Vivado
- LAB7: Design of a binary-to-BCD converter
- LAB8 (Capstone): Communication between to FPGAs over SPI

EVALUACIÓN

CONVOCATORIA ORDINARIA

Prácticas 1, 2 y 3: se evaluarán los informes entregados por los alumnos, en parejas.

Challenge: La práctica de LNA y challenge asociado consistirá en un proyecto que tendrán que desarrollar los alumnos por parejas. La evaluación de este proyecto será competitiva entre todos los alumnos, a través de una figura de mérito que recoja los principales parámetros característicos del mismo.

Prácticas 4, 5, 6 y 7 (obligatorias): se realizarán en parejas y se evaluará cada práctica sobre 10 puntos, valorando el trabajo realizado en clase, el correcto funcionamiento del diseño, la calidad de la implementación resultante y el informe entregado. La nota de prácticas digitales obligatorias, NP4-7, es la media aritmética de las cuatro.

Práctica 8 (Reto, opcional): se realizará en parejas, se evaluará sobre 10 puntos (NP8) y sirve para subir nota. Solo podrán optar a ella las parejas de alumnos que hayan entregado los informes de las prácticas obligatorias 4 a 7. La práctica 8 incrementa NP4, NP5, NP6 y NP7 en hasta 2.5 puntos (proporcionalmente a su calificación, máximo cuando NP8=10), sin que el resultado de NP4, NP5, NP6 y NP7 supere los 10 puntos.

Exámenes parciales: Se realizarán dos exámenes parciales. El primero de ellos será un examen sobre los contenidos explicados en los temas de la parte analógica. El segundo examen parcial consistirá en la realización por parte del alumno de un diseño en el laboratorio de diseño electrónico en base a los conocimientos adquiridos en las prácticas 4, 5, 6, 7 y 8 (parte digital).

Nota final de la convocatoria ordinaria: Tanto los exámenes como las prácticas en el ordenador se evaluarán sobre 10 puntos. Será necesario obtener 4/10 puntos como mínimo tanto en la parte digital como en la parte analógica para superar la asignatura. La calificación final N del alumno será calculada mediante la siguiente fórmula:

N = 0,225·NEP1 + 0,075·NP1-2 + 0,2·NCH + 0,2·NP4-7 + 0,3·NEP2,

donde NEP1, NP1-2, NCH , NP3-7 y NEP2 son las notas sobre 10 de el primer examen parcial, los informes sobre las prácticas 1, 2 y 3, de la evaluación competitiva del diseño analógico final (Challenge), de las prácticas 4 a 7 (incluyendo, si procede, la aportación de la práctica 8 (Reto)) y del segundo examen parcial, respectivamente.

CONVOCATORIA EXTRAORDINARIA

En la convocatoria extraordinaría se evaluará sólo la parte (analógica o digital) que no se haya superado en la convocatoria ordinaria. En la parte analógica habra que hacer un examen práctico en el laboratorio de diseño electrónico y superar un test teórico. En la parte digital habrá que hacer un examen práctico en el laboratorio de diseño electrónico y superar un test teórico.

ESTUDIANTES CON NECESIDADES ESPECIALES

Los estudiantes con necesidades educativas especiales deberán ponerse previamente en contacto con la Coordinación de Estudios de la (facultad/escuela) para obtener la autorización correspondiente a las adaptaciones (por ejemplo, disponer de más tiempo en los exámenes). Dicha autorización deberá ser enviada por el alumno al profesor. Se recomienda realizar esta gestión al comienzo del cuatrimestre.

ATENCIÓN: Se recuerda que cualquier intento de fraude, copia, plagio u otro comportamiento irregular supone una infracción grave tal y como está contemplado en el título IV "Normas de disciplina académica de los estudiantes" dentro del Sistema de normas sobre la convivencia en la Universidad de Navarra".

HORARIOS DE ATENCIÓN

Dr. Roc Berenguer:

- Despacho Miramón, planta 2
- Horario de tutoría: Se informará oportunamente de los seminarios que se organicen a lo largo del semestre.

Dr. Aritz Alonso:

- Horario de tutoría: Se informará oportunamente de los seminarios que se organicen a lo largo del semestre.

BIBLIOGRAFÍA

Bibliografía básica:

- A.S. Sedra y K.C. Smith, Microelectronics Circuits, Oxford University press, 1998. Localízalo en la biblioteca
- B. Razavi, Design of Analog CMOS integrated circuits, McGraw-Hill Higher Education, 2001. Localízalo en la biblioteca
- P.R. Gray y R.G. Meyer, Analysis and design of analog integrated circuits, John Wiley -Sons, 1993. Localízalo en la biblioteca
- D.L. Feucht, Handbook of Analog Circuit Design, Academic Press, 1990. Localízalo en la biblioteca

- R. J. Baker, H. W. Li y D. E. Boyce, CMOS. Circuit design, layout, and simulation, IEEE Press, 2008. Localízalo en la biblioteca
- A. Hastings, The art of Analog Layout, Prentice Hall, 2001. Localízalo en la biblioteca
- Berkeley webcast. Electrical Engineering 240-Spring 2012. Link
- Prof. Ali Hajimiri (Caltech). Lectures on Analog Circuit design. Link
- S. Rajan, Essential VHDL: RTL Synthesis Done Right. Localízalo en la biblioteca
- P. J. Ashenden, The Designer's guide to VHDL, Morgan Kaufmann Publishers, 2002. Localízalo en la biblioteca (formato papel) (versión electrónica)

Bibliografía complementaria:

- J. M. Fiore, Amplificadores Operacionales y Circuitos Integrados Lineales, Thomson, 2002. Localízalo en la Biblioteca
- R. Lipsett, C. Schaefer y C. Ussery, VHDL Hardware Description and Design, Kluwer Academic Publishers, 1989.
- L. Teres, Y. Torroja, S. Olcoz y E. Villar, VHDL: Lenguaje Estándar de Diseño Electrónico, Mc Graw Hill, 1998 Localízalo en la biblioteca
- P. Pirsch, Architectures for Digital Signal Processing, John Wiley & Sons, 1998 Localízalo en la biblioteca
- Impedance matching calculators: Link1 Link2